

Sistem Terdistribusi (ST)

Pertemuan 4 : Logikal dan Vektor Clock

Alauddin Maulana Hirzan

Fakultas Teknologi Informasi dan Komunikasi
Universitas Semarang

Outline

Sistem Terdistribusi (ST)

Alauddin Maulana Hirzan

Latar Belakang

Konsep Event

Logical Clock

Vector Clock

Lastly

1 Latar Belakang

2 Konsep Event

3 Logical Clock

4 Vector Clock

5 Lastly

Latar Belakang

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

Sistem Terdistribusi dalam Industri Modern

Sistem terdistribusi digunakan pada hampir seluruh infrastruktur skala besar:

- 1 Google – Google Spanner, Bigtable
- 2 Amazon Web Services – DynamoDB, EC2 orchestration
- 3 Netflix – microservices berbasis event

Karakteristik utama:

- 1 Banyak node independen
- 2 Berkomunikasi melalui jaringan
- 3 Tidak berbagi memori atau clock global

Masalah Fundamental *Global Clock*

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

Setiap node memiliki:

- 1 CPU clock sendiri
- 2 OS time sendiri
- 3 Drift dan latency jaringan berbeda

Akibatnya:

- Node A: 12:00:01
- Node B: 11:59:59

Padahal Event di B mungkin terjadi setelah event di A

Masalah Sistem Terdistribusi

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

Clock Drift

Clock drift adalah perbedaan kecepatan clock antar node akibat:

- 1 variasi kristal oscillator
- 2 temperatur hardware
- 3 load CPU

Secara matematis:

$$\frac{dC}{dt} \neq 1$$

Masalah Sistem Terdistribusi

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

Clock Skew

Clock skew adalah selisih waktu absolut antar node:

$$Skew = |Clock_A - Clock_B|$$

Dalam praktik cloud:

- Skew beberapa milidetik sudah dapat merusak sistem konsistensi kuat

Contoh:

- Distributed database menganggap write lama sebagai write terbaru

Mengapa Timestamp Lokal Bermasalah

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

Timestamp OS :

2026 – 03 – 26 14 : 03 : 01.021

Namun timestamp tersebut:

- 1 tidak mempertimbangkan network delay
- 2 tidak menjamin urutan sebab-akibat

Contoh

Contoh:

- A: `write(x=1)` at 10:00
- B: `read(x)` at 09:59

Secara timestamp:

- read terjadi sebelum write

Namun secara realitas:

- read terjadi setelah write

Masalah ini dikenal sebagai: **Causality violation**

Konsep Event

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

Sistem terdistribusi dimodelkan sebagai:

$$S = \{P_1, P_2, P_3, \dots, P_n\}$$

Setiap proses menghasilkan *event*

$$E_i = \{e_1, e_2, e_3, \dots, e_n\}$$

Dimana:

- 1** S adalah Sistem Terdistribusi
- 2** P adalah Proses
- 3** E adalah Event

Jenis Event

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

Terdapat tiga jenis event

- 1 Event Lokal
 - update variable
 - write log
 - execute instruction
- 2 Event Pengiriman Pesan
 - send(m)
- 3 Event Penerimaan Pesan
 - receive(m)

Happened-Before Relation

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

Konsep ini diperkenalkan oleh: *Leslie Lamport* dalam artikel: *Time, Clocks, and the Ordering of Events in a Distributed System*

Definisi Formal

Relasi *happened-before* ditulis:

$$A \rightarrow B$$

Artinya: Event **A** secara kausal terjadi sebelum Event **B**. Relasi ini bukan sekadar waktu, melainkan hubungan sebab-akibat

Aturan *Happened-Before*

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

1. Urutan dalam Proses yang Sama

Jika: *e1 terjadi sebelum e2 pada proses yang sama*

Maka:

$e1 \rightarrow e2$

Contoh:

- Process P1:
- e1: `x = 1`
- e2: `send(x)`

Aturan *Happened-Before*

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

2. Pengiriman dan Penerimaan Pesan

Jika:

- $e1 = \text{send}(m)$
- $e2 = \text{receive}(m)$

Maka:

$e1 \rightarrow e2$

Ini adalah fondasi:

- causal consistency
- distributed transactions
- message ordering

Aturan *Happened-Before*

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

3. Transitivitas

Jika:

$$A \rightarrow B$$

$$B \rightarrow C$$

Maka:

$$A \rightarrow C$$

Relasi ini membentuk: **Partial Order**

Event yang Tidak Memiliki Relasi

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

Jika:

$A \not\rightarrow B$ dan $B \not\rightarrow A$

Maka event disebut: **Concurrent Event**

Contoh:

$P1 : write(x)$

$P2 : write(y)$

Dampak industri

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

Konsep ini digunakan dalam:

- 1 Distributed Database
- 2 Google Spanner
- 3 Apache Cassandra

Untuk:

- 1 menentukan konflik write
- 2 multi-version concurrency control
- 3 Distributed Tracing

Mengapa *Happened-Before* Penting

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

Tanpa mekanisme ini:

- 1 debugging tidak mungkin dilakukan
- 2 log tidak dapat dipercaya
- 3 transaksi terdistribusi tidak dapat diserialisasi

Dalam sistem microservices:

User request → API Gateway → Service A → DB

Menentukan urutan kausal:

- 1 menentukan root cause failure
- 2 menentukan SLA violation

Hubungan Logical Clock

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

Happened-before menjadi dasar untuk:

- Lamport Logical Clock, dan
- Vector Clock

Keduanya digunakan untuk:

- memberikan timestamp yang konsisten secara kausal
- menggantikan ketergantungan pada wall-clock

Definisi Logical Clock

Dalam sistem terdistribusi, logical clock digunakan untuk menggantikan ketergantungan pada waktu fisik yang tidak sinkron. Logical clock memberikan mekanisme untuk mengurutkan kejadian berdasarkan hubungan kausal, bukan berdasarkan jam sistem.

Logical clock digunakan untuk:

Memberikan Timestamp Logis pada Setiap Event

Setiap event pada setiap proses diberikan nilai numerik:

Event $e \rightarrow$ timestamp $C(e)$

Timestamp ini:

- tidak merepresentasikan waktu nyata
- tetapi merepresentasikan urutan kausal

Definisi Logical Clock

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

Menentukan Urutan Parsial Kejadian

Logical clock menghasilkan **Partial Order** yang memenuhi:

Jika $A \rightarrow B$ maka $C(A) < C(B)$

Namun tidak semua event dapat dibandingkan:

$C(A) < C(B)$ tidak menjamin $A \rightarrow B$

Definisi Logical Clock

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

Mendukung Konsistensi dan Sinkronisasi

Logical clock digunakan dalam:

- 1 distributed database replication
- 2 distributed logging
- 3 distributed transaction ordering

Contoh implementasi:

- 1 Apache Cassandra menggunakan logical timestamp dalam conflict resolution
- 2 sistem message queue memastikan pesan diproses sesuai causal ordering

Lamport Logical Clock

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

Ide Utama

Setiap proses memiliki:

C_i = logical counter lokal

Counter:

- bertambah setiap terjadi event
- disinkronkan melalui pesan

Tujuan:

Jika $A \rightarrow B$ maka $C(A) < C(B)$

Aturan *Lamport Clock*

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

Untuk setiap proses P_i , terdapat tiga aturan utama:

- 1 Aturan Event Lokal
- 2 Aturan Pengiriman Pesan
- 3 Aturan Penerimaan Pesan

Aturan Lamport Clock

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

Aturan Event Lokal

Sebelum setiap event:

$$C_i = C_i + 1$$

Contoh:

$$C_1 = 0$$

$$\text{Event } e_1 \rightarrow C_1 = 1$$

$$\text{Event } e_2 \rightarrow C_1 = 2$$

Aturan Lamport Clock

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

Aturan Pengiriman Pesan

Saat proses mengirim pesan:

$send(m, timestamp = C_i)$

Struktur pesan:

$m = \{payload, timestamp\}$

Aturan Lamport Clock

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

Aturan Penerimaan Pesan

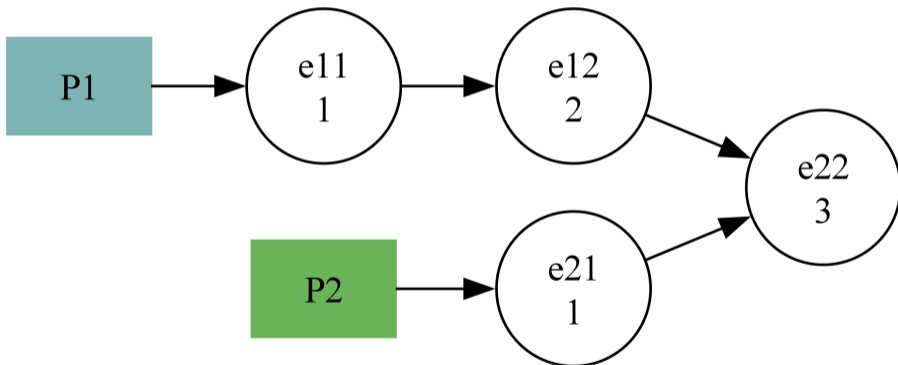
Jika proses menerima pesan dengan timestamp T :

$$C_i = \max(C_i, T) + 1$$

Hal ini memastikan:

$\text{send}(m) \rightarrow \text{receive}(m)$

Ilustrasi Lamport Clock



Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

Contoh *Lamport Clock*

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

Misalkan terdapat tiga proses:

P_1, P_2, P_3

Urutan Event

P1: $e_1 \rightarrow \text{send}(m_1, P_2)$

P2: $\text{receive}(m_1) \rightarrow \text{send}(m_2, P_3)$

P3: $\text{receive}(m_2)$

Contoh *Lamport Clock*

Simulasi Counter

1 P1

- e1: $C1 = 1$
- send(m1): $C1 = 2$

2 P2

- receive(m1): $C2 = 3$
- send(m2): $C2 = 4$

3 P3

- receive(m2): $C3 = 5$

4 Hasil

- $C(e1) = 1$
- $C(\text{send } m1) = 2$
- $C(\text{receive } m1) = 3$
- $C(\text{send } m2) = 4$
- $C(\text{receive } m2) = 5$

Definisi Vector Clock

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

Batasan *Lamport Clock*

Lamport clock memiliki keterbatasan: tidak dapat membedakan causal ordering dan concurrent events

Vector Clock

Untuk mengatasi hal tersebut dikembangkan: **Vector Clock**

Vector clock memungkinkan sistem:

- 1 menentukan apakah dua event memiliki hubungan sebab-akibat
- 2 atau benar-benar terjadi secara paralel

Cara Kerja

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

Pada vector clock:

- 1 setiap proses menyimpan vektor timestamp
- 2 vektor menyimpan pengetahuan proses terhadap seluruh sistem

Jika terdapat N proses, maka:

$$V_i = [v_1, v_2, \dots, v_N]$$

Makna:

$V_i[k]$ = jumlah event pada proses P_k yang diketahui oleh P_i

Dengan demikian:

- vector clock tidak hanya menyimpan waktu lokal
- tetapi juga sejarah komunikasi antar proses

Struktur Vector Clock

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Setiap proses P_i memiliki:

$$V_i = [v_1, v_2, \dots, v_N]$$

Contoh sistem dengan 3 proses:

$$P_1 \rightarrow V_1 \rightarrow [0, 0, 0]$$

$$P_2 \rightarrow V_2 \rightarrow [0, 0, 0]$$

$$P_3 \rightarrow V_3 \rightarrow [0, 0, 0]$$

Contoh sistem dengan 2 proses:

$$P_1 \rightarrow V_1 \rightarrow [0, 0]$$

$$P_2 \rightarrow V_2 \rightarrow [0, 0]$$

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

Interpretasi Vector Clock

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

Misal diketahui:

$$V1 = [5, 2, 1]$$

Artinya:

- 1** P1 telah melakukan 5 event
- 2** mengetahui 2 event dari P2
- 3** mengetahui 1 event dari P3

Vector clock menyimpan: **Causal History**

Aturan Vector Clock

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

Vector clock mengikuti tiga aturan dasar.

- 1 Event Lokal
- 2 Pengiriman Pesan
- 3 Penerimaan Pesan

Aturan Vector Clock

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

1. Event Lokal

Untuk setiap event lokal pada proses P_i :

$$V_i[j] = V_i[j] + 1$$

Contoh:

- 1 $V_1 = [0,0,0]$
- 2 event lokal
- 3 $V_1 = [1,0,0]$

Aturan Vector Clock

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

2. Pengiriman Pesan

Saat proses mengirim pesan:

$\text{send}(m, V_i)$

Seluruh vektor disertakan dalam pesan:

$m = \{\text{payload}, \text{vector_timestamp}\}$

Hal ini memungkinkan penerima mengetahui semua event yang diketahui pengirim

Aturan Vector Clock

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

3. Penerimaan Pesan

Saat proses P_i menerima pesan dari P_j :

- Langkah 1:

- Untuk setiap k :

$$V_i[k] = \max(V_i[k], V_j[k])$$

- Langkah 2:

$$V_i[i] = V_i[i] + 1$$

Ini memastikan:

$\text{send}(m) \rightarrow \text{receive}(m)$

serta menyatukan pengetahuan kedua proses.

Relasi Antar Event

Dengan vector clock, relasi kausal dapat ditentukan secara matematis.

A terjadi sebelum B ($A \rightarrow B$)

Jika:

$$VA[k] \leq VB[k]$$

$$VA[k] < VB[k]$$

Event Konkuren

Jika:

$$VA \not\leq VB$$

$$VB \not\leq VA$$

Contoh Vector Clock - Relasi Kausal

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

Diketahui:

$$V_A = [2, 1] \text{ dan } V_B = [2, 3]$$

Perbandingan:

$$2 \leq 2 = \checkmark \rightarrow \text{sama dengan}$$

$$1 \leq 3 = \checkmark \rightarrow \text{kurang dari}$$

Ada Elemen Lebih Kecil

$$1 < 3$$

Sehingga:

$V_A \rightarrow V_B$ (event B mengetahui semua event A, B terjadi setelah A secara kausal)

Ilustrasi Interpretasi

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

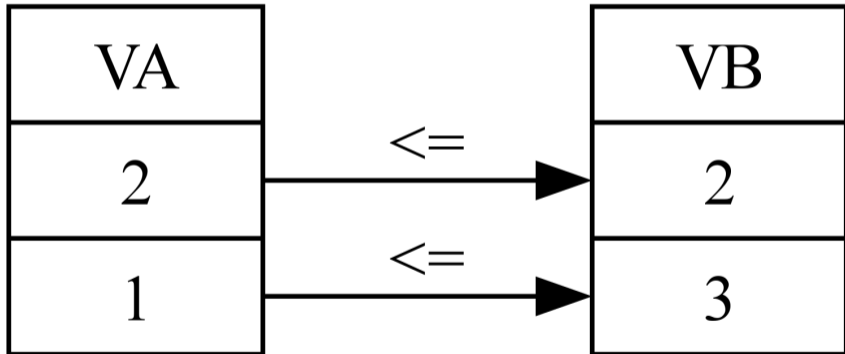
Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly



Contoh Vector Clock - Event Konkuren

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

Diketahui:

$VA = [2, 1]$ dan $VB = [1, 2]$

Perbandingan:

$2 \leq 1 = \times \rightarrow$ lebih dari

$1 \leq 2 = \checkmark \rightarrow$ kurang dari

Ilustrasi Interpretasi

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

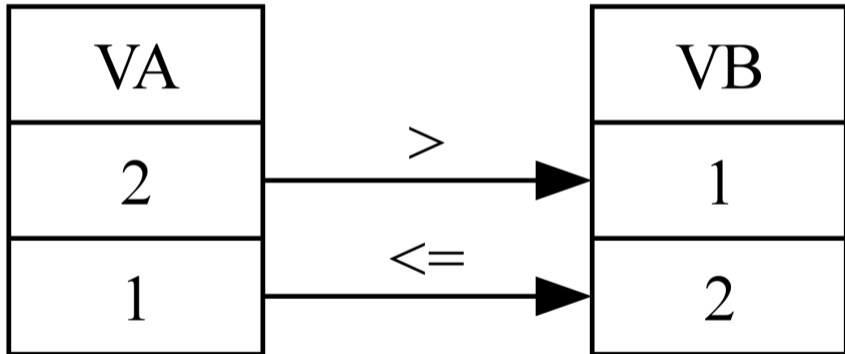
Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly



Kompleksitas Vector Clock

Sistem
Terdistribusi
(ST)

Alauddin
Maulana
Hirzan

Latar
Belakang

Konsep
Event

Logical Clock

Vector Clock

Lastly

Jika terdapat N proses:

- ukuran pesan: $O(N)$
- ukuran penyimpanan: $O(N)$

Hal ini menjadi masalah pada sistem skala besar dengan ribuan node

Untuk mengatasi hal ini, industri mengembangkan:

- version vector
- dotted version vector

Terima Kasih